

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-112818

(43)公開日 平成6年(1994)4月22日

(51)Int.Cl.⁵ 識別記号 行内整理番号 F I 技術表示箇所
H 03 L 7/10 9182-5J H 03 L 7/ 10 D
7/187 9182-5J 7/ 18 D

審査請求 未請求 請求項の数 3(全 11 頁)

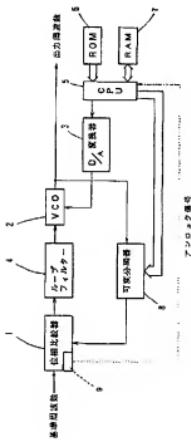
(21)出願番号	特願平4-261706	(71)出願人	000100746 アイコム株式会社 大阪府大阪市平野区加美鞍作1丁目6番19号
(22)出願日	平成4年(1992)9月30日	(72)発明者	浅田 和秀 大阪市平野区加美鞍作1丁目6番19号 アイコム株式会社内
(74)代理人	弁理士 杉本 肇徳 (外1名)		

(54)【発明の名称】 PLLプリセット方法およびプリセット型PLL回路

(57)【要約】 (修正有)

【目的】 キャリア／ノイズ比の改善と回路の簡略化と

シグナルノイズの正確化がわかる。
(構成) 位相比較器1と可変分周器8とVCO2とループフィルター4とROM6とRAM7とCPU5からなるプリセット型PLL回路に、D/A変換器3とアンロック検出手段9を設ける。電源投入と共に、プリセット周波数に対するデータ読み出し可変分周器8に加え、VCO2を最低周波数で発振させた後その制御データを規定値ずつ変化させてD/A変換器3を介してVCO2に与え、アンロック状態をアンロック検出手段で監視する。そしてアンロックした時のデータを取り出し、データ補正手段で補正し、RAM7に書き込み、このようにして蓄積したプリセットデータを以後はRAM7から読みだし、D/A変換器3に入力してVCO2を制御する。



1

2

【特許請求の範囲】

【請求項1】位相比較器と、可変分周器と、各分周比に対応するデータを記憶する記憶手段と、前記データによってプリセッタされる電圧制御型発振器と、位相比較器がアンロック状態のときアンロック信号を出力するアンロック検出手段と、を備えたプリセッタ型PLL回路のPLLブリセッタ方法において、

前記アンロック信号を監視しながら電圧制御型発振器への入力データを変更して、ロックレンジの上限と下限を検出し、

前記ロックレンジの上限と下限に対応する電圧制御型発振器への入力データを出力し、
出力された前記データを補正し、それによって得たデータを上記記憶手段に書き込むことを特徴とするPLLブリセッタ方法。

【請求項2】位相比較器と、可変分周器と、各分周比に対応するデータを記憶する記憶手段と、前記データによってプリセッタされる電圧制御型発振器と、を備えたブリセッタ型PLL回路において、

位相比較器がアンロック状態のとき、アンロック信号を出力するアンロック検出手段と、

電圧制御型発振器への入力データを変更するデータ変更手段と、

前記アンロック検出手段のアンロック信号が出力されなくなった時点と再び出力された時点において、電圧制御型発振器に与えられたデータを出力するデータ出力手段と、

該データ出力手段から出力された前記データを補正し、それによって得たデータを上記記憶手段に書き込むデータ補正手段と、

を備えていることを特徴とするブリセッタ型PLL回路。

【請求項3】位相比較器と、可変分周器と、各分周比に対応するデータを記憶する記憶手段と、前記データによってプリセッタされる電圧制御型発振器と、を備えたブリセッタ型PLL回路において、

位相比較器がアンロック状態のとき、アンロック信号を出力するアンロック検出手段と、

電圧制御型発振器への入力データを変更するデータ変更手段と、

前記アンロック検出手段のアンロック信号の立ち上がりの時点において、電圧制御型発振器に与えられたデータを出力するデータ出力手段と、

該データ出力手段から出力された前記データを補正し、それによって得たデータを上記記憶手段に書き込むデータ補正手段と、

を備えていることを特徴とするブリセッタ型PLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は通信機等に用いるPLL回路に関し、特にPLLブリセッタ方法およびブリセッタ型PLL回路に関するものである。

【0002】

【従来の技術】図7に示すようにPLL回路は、可変分周器18の分周比(以下Nデータという。)ごとに位相比較器11で位相を比較すると、位相差に応じた制御電圧が位相比較器11から出て、それをループフィルター14で平滑した後、その電圧で電圧制御型発振器(以下VCOという。)12を制御し、周波数がロックするようになる。

【0003】従来から、PLL回路の発振周波数の高速切り換えの方法として、マイクロプロセッサ(以下CPUという。)15が可変分周器18を制御するとともに、記憶手段としてのランダムアクセスメモリー(以下RAMという。)17からのブリセッタデータによって、デジタル/アナログ変換器(以下D/A変換器という。)13を介して直接、VCO12を制御するという動作を、ブリセッタ周波数ごとにブリセッタデータを次々に切り換えていくものがあった。

【0004】この方式のPLL回路は、たとえば製造出荷時に、位相比較器がコックした時のVCO12の入力制御電圧を、アナログ/デジタル変換器(以下A/D変換器という。)10で読み取ってデジタル信号に直し、CPU15で機器の発熱の影響によるVCO12の発振時の誤差を考えて、少し低いめに補正した後、RAM17に記憶させ、それを必要に応じて取り出して、ブリセッタデータとして活用するものであった。

【0005】なお、以上のCPU15による制御は、リードオンリーメモリー(以下ROMという。)16の制御プログラム、データによって行われる。

【0006】

【発明が解決しようとする課題】しかし、上述の従来の方法では、ロック時に高インピーダンスになっているVCOの入力制御電圧をA/D変換し、そのデータを取り出すために配線を引き回すので、外乱を受けやすく、却ってPLL回路全体としてのキャリアノイズ比(以下C/N比という。)の劣化の原因となるに、A/D変換器やそれに付随するパッファーアンプも必要で、回路が複雑になっていた。

【0007】また、機器の発熱の影響によるVCOの発振時の誤差を考えて、ブリセッタデータの値を少し低いめに補正した後、記憶し、それを使用するので、ブリセッタデータが不正確になりがちであった。

【0008】本発明は、上記の問題点をかんがみて提案されたもので、C/N比の改善と回路の簡略化を図ることにより、より正確なブリセッタデータを得ることを目的としている。

【0009】

【課題を解決するための手段】上記課題を解決するため

50

に、本発明のPLLプリセット方法においては、位相比較器と、可変分周器と、各分周比に対応するデータを記憶する記憶手段と、前記データによってプリセットされる電圧制御型発振器と、位相比較器がアンロック状態のときアンロック信号を出力するアンロック検出手段とを備えたプリセット型PLL回路のPLLプリセット方法において、前記アンロック信号を監視しながら電圧制御型発振器への入力データを変更して、ロックレンジの上限と下限を検出し、前記ロックレンジの上限と下限に対応する電圧制御型発振器への入力データを出し、出力された前記データを補正し、それによって得たデータを上記記憶手段に書き込むという方法を用いた。

【0010】また、本発明のプリセット型PLL回路においては、位相比較器と、可変分周器と、各分周比に対応するデータを記憶する記憶手段と、前記データによってプリセットされる電圧制御型発振器とを備えたPLLプリセット型PLL回路において、位相比較器がアンロック状態のとき、アンロック信号を出力するアンロック検出手段と、電圧制御型発振器への入力データを変更するデータ変更手段と、前記アンロック検出手段のアンロック信号が出力されなくなった時点と再び出力された時点において、電圧制御型発振器に与えられたデータを出力するデータ出力手段と、該データ出力手段から出力された前記データを補正し、それによって得たデータを上記記憶手段に書き込む補正手段とを備えた。

【0011】更に、位相比較器と、可変分周器と、各分周比に対応するデータを記憶する記憶手段と、前記データによってプリセットされる電圧制御型発振器とを備えたPLLプリセット型PLL回路において、位相比較器がアンロック状態のとき、アンロック信号を出力するアンロック検出手段と、電圧制御型発振器への入力データを変更するデータ変更手段と、前記アンロック検出手段のアンロック信号の立ち上がりの時点において、電圧制御型発振器に与えられたデータを出力するデータ出力手段と、該データ出力手段から出力された前記データを補正し、それによって得たデータを上記記憶手段に書き込むデータ補正手段とを備えた。

【0012】

【作用】本発明のPLLプリセット方法およびプリセット型PLL回路においては、まず所望周波数に対応するNデータが可変分周器に入力され、VCOにはそのVCOの最も低い発振周波数か若しくは高い発振周波数に対応するデータが入力される。その結果、VCOは最も低い周波数か若しくは高い周波数で発振し、その発振周波数は可変分周器で分周された後、位相比較器で基準周波数と位相が比較される。

【0013】この状態では、構成する素子のばらつき等のために位相比較器のロックがかかるロックレンジは不明であるが、入力されたデータは予想されるロックレンジから離れているのでロックせず、アンロック検出手段

によってアンロック信号が出力される。

【0014】次にVCOへの入力データをデータ変更手段によって変更していくと、やがて位相比較器のロックレンジに入りアンロック信号が出力されなくなる。この時点でのVCOへの入力データがデータ出力手段によって出力され、記憶手段に一時記憶される。

【0015】続いてそこからVCOへの入力データを変更していくと、位相比較器のロックレンジを外れ、再びアンロック信号が出力される。この時点でのVCOへの入力データがデータ出力手段によって出力され、記憶手段に一時記憶される。次に、一時記憶されたデータを取り出し、データ補正手段によって補正して、新しいデータを得、それを記憶手段に記憶しておく。それが次回からのプリセットデータとして使われる。

【0016】また、アンロック信号を監視しながら、データ変更手段によってVCOへの入力データを大きく変化させていくとやがてロックレンジに入り、アンロック信号の出力がなくなる。アンロック信号の出力がなくなった時点からは、VCOへの入力データをデータ変更手段によって、増加方向と減少方向に変更させていくと、ロックレンジの上端と下端の2箇所でアンロック信号が現れる。その時のVCOの入力データがデータ出力手段によってそれぞれ出力され、記憶手段に一時記憶される。

【0017】そして、一時記憶されたデータを取り出し、データ補正手段によって補正して新しいデータを得る。

【0018】

【実施例】以下に本発明のPLLプリセット方法およびプリセット型PLL回路を、プリセット型PLL回路を使用した装置と図面に基づいて、詳細に説明する。

【0019】(実施例1) 図1は本実施例のプリセット型PLL回路のブロック図、図2は図1のROMに内蔵された制御プログラムのフローチャート図、図3は図1のCPUからD/A変換器に出力されるデータとアンロック信号の出力のタイムチャート図である。ここで、CPUによって制御されるデータ変更手段とデータ出力手段とデータ補正手段のデータはデジタル信号であるが、図3の(B)のデータ値はそれをアナログ値になおして表している。

【0020】図中、符号1は位相比較器、2はVCO、3はD/A変換器、4はループフィルター、5はCPU、6はデータ変更手段とデータ出力手段とデータ補正手段のプログラムを含む制御プログラムとデータを内蔵したROM、7はRAM、8は可変分周器、9は位相比較器1に内蔵されたアンロック検出手段である。

【0021】図2のフローチャート図を中心に、図1と図3を参照して説明する。ステップS1において、プリセット周波数f1をプリセットするために、ROM6からプリセット周波数f1に対応するNデータN1が読み

出され、可変分周器8に入力される。図2において、プリセット周波数fに対応するデータをデータNとし、プリセット周波数fを決定するための変数データをデータD(N)として、ここでは1回目のプリセット周波数f1に対応するデータをデータN1、データD(N1)としている。

【0022】なお、データD(0)はプリセットデータ初期値で、一定の数値である。

【0023】次に、ステップS2において、図3(B)のタイミングT1で、VCO2固有の発振最低周波数に対応するプリセットデータ初期値D(0)が、データD(N1)を代入される。続いてステップS3で、データD(N1)に規定値dを足した後、ステップS4で、それをD/A変換器3に入力する。すると、D/A変換器3からはそれに応じた出力電圧が出てVCO2に印加され、VCO2は出力電圧に応じて発振する。

【0024】ここで、VCO2は入力電圧が上がると、出力周波数も高くなるように構成されている。

【0025】VCO2の出力周波数が可変分周器8に入ると、それがNデータN1に応じて分周され、その周波数と基準周波数の位相を位相比較器1で比較する。データD(N1)は周波数f1のロックレンジより充分に低い値なので、この時点で、位相比較器1に内蔵されたアンロック検出手段9は、アンロック状態を検出してアンロック信号を出力する。これが、ステップS5の段階である。

【0026】アンロック信号が出力された場合は、ステップS3に示すように、CPU5の指令によってデータ変更手段がデータD(N1)を規定値dだけ上げ、それを更新したデータD(N1)として、ステップS4で再びD/A変換器3に入力する。D/A変換器3の出力電圧が上がりそれがVCO2に印加されると、VCO2の発振周波数は上がる。その発振周波数は、上述の経路で位相比較器1で再びロック状態をチェックされる。

【0027】以上の動作を、アンロック信号が出力されなくなるまで繰り返す。このデータの加算の様子は図3の〔B〕に表されている。

【0028】ロックレンジに入ると、アンロック検出手段9は位相比較器1がロック状態になったことを検出手段。そうなれば図3(B)のタイミングT2の時点で、データ出力手段は、CPU5内のデータD(N1)を読み取り、出力する。これをロックレンジの下端周波数のデータL(N1)として、RAM7に一時記憶しておく。これがステップS6である。

【0029】ロックレンジの下端周波数のデータL(N1)を記憶した後もデータは、データD(N1)から規定値dずつ増加され、D/A変換器3に入力される。この状態が次にアンロック信号が検出されるまで続く。これがステップS7、S8、S9である。ロック状態では位相比較器1、VCO2、ループフィルター4、可変分

周器8が周波数をプリセット周波数に近づける動作をしている。

【0030】前記の動作を何回か繰り返した後、タイミングT3の時点でアンロック信号U2が送出されたら、それを受けたデータ出力手段は、ステップS10で、その時点でのCPU5内のデータD(N1')を読み取って、これをロックレンジの上端周波数のデータH(N1')として、RAM7に一時記憶しておく。

【0031】タイミングT3でロックレンジの上端周波数のデータH(N1')の値を得ると同時に、データの変更を中止する。次に、ステップS11で、ロックレンジの下端周波数のデータL(N1')から規定値dを引いた値と上端周波数のデータH(N1')を平均して平均値M(N1')を出し、それをプリセットデータとしてステップS12で、RAM7に書き込む。ここで、図3(B)においてRLが実際のロックレンジで、上記の平均値M(N1')はロックレンジの中心値と殆ど誤差がない。

【0032】以上で一つのプリセット周波数f1に対応するNデータN1とプリセットデータM(N1')の書き込みが終了する。

【0033】更に、プリセットすべき周波数が残っているれば、ステップS13によって最初のステップS1の段階に戻り、タイミングT4で、次のプリセット周波数f2に対応するデータN2を読み込んで可変分周器8に入力し、(注)同時にVCO2固有の発振最低周波数に対応するプリセットデータ初期値D(0)が、ステップS2でD(N)に代入され、ステップS3で規定値dが加算されてD/A変換器3に入力される。以上の動作を繰り返す。

【0034】以上でもないが周囲の環境が同じであれば、プリセットデータ初期値D(0)は常に一定である。以上の動作のCPU5による制御は、ROM6に書かれた制御プログラム、データによって実行される。

【0035】なお、最初にD/A変換器3に入力するデータとして、VCO2固有の発振最低周波数に対応するプリセットデータ初期値D(0)の代わりにVCO2固有の発振最高周波数に対応するプリセットデータ初期値を入れてもよく、データ変更手段はその場合はデータを増加ではなく、減少するものにする。上端データと下端データは入れ替わるが、それ以外のデータ出力手段、データ補正手段は同じである。

【0036】また、VCO2を制御するためのプリセットデータは、実施例の場合はデジタル値で、それをD/A変換器3によってアナログ値に変えているが、プリセットデータをアナログ値として、それによって直接VCO2を制御してもよい。

(実施例2)

【0037】また、上記の実施例1と構成は同じで、作用が若干異なるPLLプリセット方法およびプリセット型PLL回路について、図4と図5と図6に基づいて、

詳細に説明する。なお、図4と図5は実施例2の一連のフローチャートである。実施例1と同様の動作をするステップについては若干省略した。

【0038】ステップS21において、プリセット周波数 f_{11} をプリセットするために、ROM6からプリセット周波数 f_{11} に対応するNデータ N_{11} が読み出され、可変分周器8に入力される。ここで実施例1と同様に、プリセット周波数 f に対応するNデータをデータNとし、プリセットデータを決定するための変数データをデータS(N)、データD(N)として、ここでは1回目のプリセット周波数 f_{11} に対応するデータをデータ N_{11} 、データS(N_{11})、データD(N_{11})としている。なお、データS(0)はプリセットデータ初期値で、一定の数値である。

【0039】次にステップS22でVCO2固有の発振最低周波数に対応するプリセットデータ初期値S(0)がデータS(N_{11})に代入されると同時に、ステップS23で規定値 h が加算され、タイミングT11でステップS24においてD/A変換器3に入力される。VCO2固有の発振最低周波数は、ロックレンジから充分離れているのでステップS25で、アンロック検出手段はアンロック信号を出力する。ステップS25、ステップS23、ステップS24においては、アンロック信号が出力されている間は、データ変更手段によってデータは規定値 h ずつ増加させられ、周波数がロックされるまでこの動作を繰り返す。

【0040】ここで、規定値 h は予想されるロックレンジの幅RLより少し小さい値に設定してある。

【0041】タイミングT12で、最初にロックしたデータS(N_{11}'')をステップS26においてデータD(N $_{11}$)とし、それにステップS27で前記の規定値 h より小さい規定値 d を加算し、ステップS28でD/A変換器3に入力する。その後ステップS29、ステップS27、ステップS28で、規定値 d の間隔でデータを加算しながらアンロック信号を監視する。そして、アンロック信号が出力されたタイミングT13の時点で、データ出力手段が出したデータD(N_{11}''')を、ステップS30でロックレンジの上端周波数データH(N_{11})として、RAM7に一時記憶させる。

【0042】続いて、ステップS31によって前記のデータD(N_{11})から規定値 d を減算した後、タイミングT14でステップS32によってD/A変換器3に入力した後、ステップS32、ステップS33、ステップS31で、データを規定値 d ずつ減算していく、アンロック信号の出力の様子を見る。アンロック信号が出力されたタイミングT15の時点で、データ出力手段が出したデータD(N_{11}'')を、ステップS34でロックレンジの下端周波数データL(N_{11})として、RAM7に一時記憶させる。

【0043】その後、ステップS35でデータの平均化

の処理をし、ステップS36の書き込みの処理をする。プリセットすべき周波数が他にあれば、ステップS37によってステップS21にもどり、上述の動作を繰り返す。

【0044】本実施例のプリセット型PLL回路においては、データの変化量を初めは大きく、ロックレンジをみつけてからは小さく設定したので、早くロックレンジを見つけることができ、更に上端周波数と下端周波数が詳細な数値まで分かって、プリセットデータがより正確になる。

【0045】

【発明の効果】本発明のPLLプリセット方法およびプリセット型PLL回路によると、従来は必要であったVCOの入力電圧測定のためのA/D変換器の回路が不要になるので、配線および実装部品が少なくて、低コスト化する上に、ハイインピーダンスであるVCOの入力から配線を引き出さなくてよいので、PLL回路全体のC/N比が改善される。

【0046】また、プリセット型PLL回路を製作するに当たって、VCOやその他の構成素子にばらつきがあるものの、所望の周波数のロックレンジの両端を正確に検出して得たデータを平均してプリセットデータとして、NデータとともにRAMに書き込むので、プリセットすべき周波数をより正確に発振させることができ、ロックアップタイムが短いプリセット型PLL回路を製作できる。更に量産した場合も不良品を最小限に抑えることができ、性能も向上する。

【図面の簡単な説明】

【図1】実施例1および実施例2のプリセット型PLL回路のブロック図である。

【図2】実施例1のプリセット型PLL回路のROMに内蔵された制御プログラムのフローチャート図である。

【図3】実施例1のプリセット型PLL回路のCPUの出力データとアンロック信号のタイムチャート図である。

【図4】実施例2のプリセット型PLL回路のROMに内蔵された制御プログラムのフローチャートであってその前半部を表す図である。

【図5】実施例2のプリセット型PLL回路のROMに内蔵された制御プログラムのフローチャートであって図4の前半部につながる後半部を表す図である。

【図6】実施例2のプリセット型PLL回路のCPUの出力データとアンロック信号のタイムチャート図である。

【図7】従来のプリセット型PLL回路の1例のブロック図である。

【符号の説明】

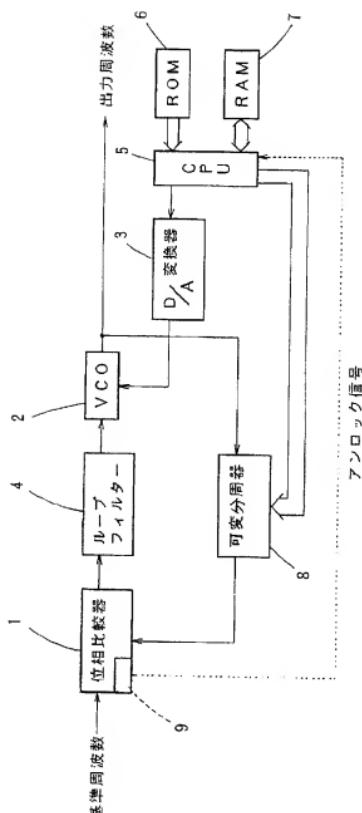
1 位相比較器

2 電圧制御型発振器（VCO）

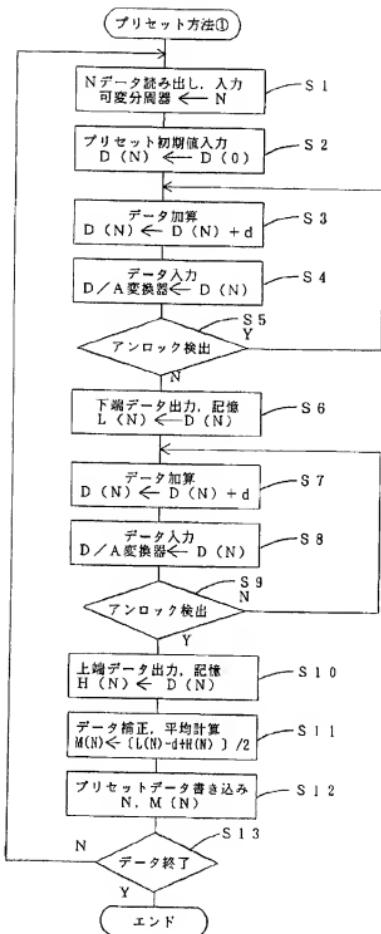
3 デジタルアナログ変換器（D/A変換器）

- | | |
|-----------------------------|-------------------------------------|
| 4 ループフィルター | 9 アンロック検出手段 |
| 5 マイクロプロセッサー (CPU) | S 3, S 7, S 23, S 27, S 31 データ変更手段 |
| 6 リードオンリーメモリー (ROM) | S 6, S 10, S 26, S 30, S 34 データ出力手段 |
| 7 ランダムアクセスメモリー (RAM) [記憶手段] | 段 |
| 8 可変分周器 | S 11, S 35 データ補正手段 |

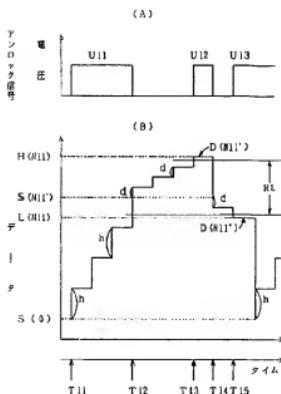
【図1】



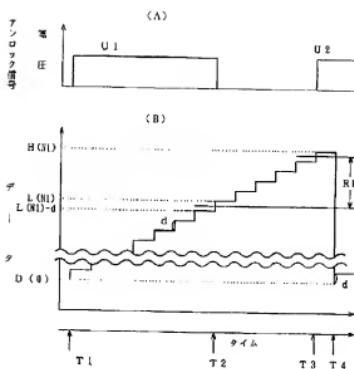
【図2】



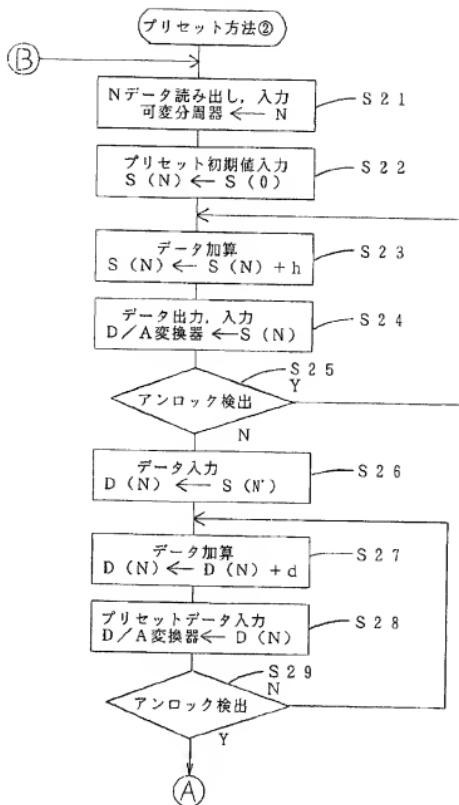
【図6】



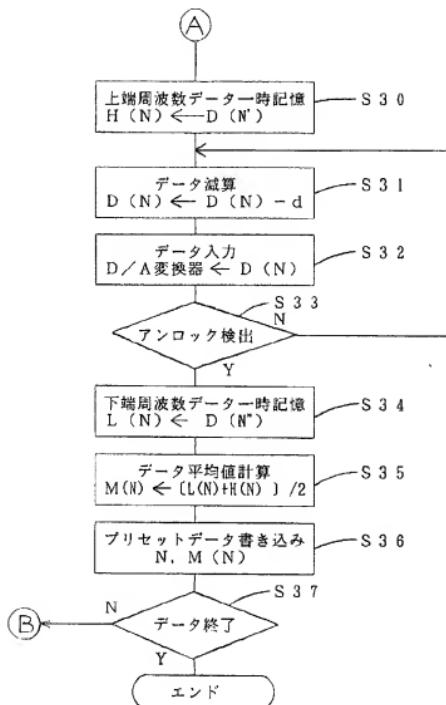
【図3】



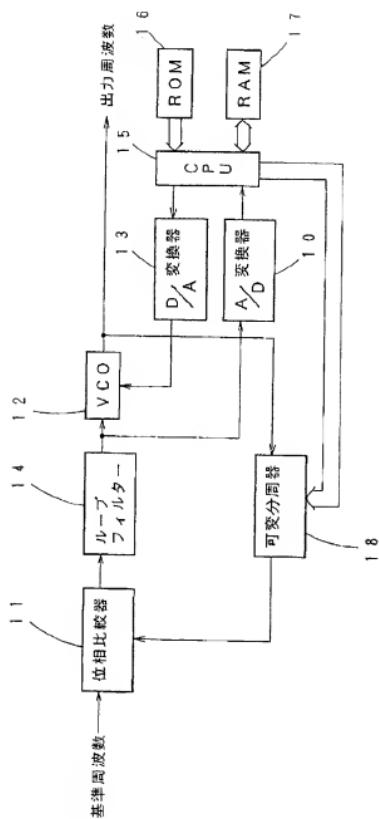
【図4】



[図5]



【図7】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-112818
 (43)Date of publication of application : 22.04.1994

(51)Int.Cl.

H03L 7/10

H03L 7/187

(21)Application number : 04-261706

(71)Applicant : ICOM INC

(22)Date of filing : 30.09.1992

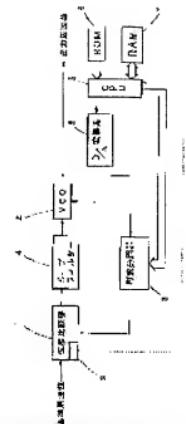
(72)Inventor : ASADA KAZUHIDE

(54) PLL PRESET METHOD AND PRESET TYPE PLL CIRCUIT

(57)Abstract:

PURPOSE: To improve the C/N, simplify the circuit and to make preset data accurate.

CONSTITUTION: The preset type PLL circuit comprising a phase comparator 1, a variable frequency divider 8, a VCO 2, a loop filter 4, a ROM 6, a RAM 7 and a CPU 5 is provided with a D/A converter 3 and an unlock detection means 9. Simultaneously at application of power, data corresponding to a preset frequency are read out and fed to a variable frequency divider 8, a VCO 2 is oscillated at a minimum frequency, then control data are changed by a specified value each and fed to the VCO 2 via D/A converter 3 and an unlock state is monitored by an unlock detection means. Then the data in unlock state are extracted and corrected by a data correction means and written in the RAM 7. The stored preset data are read out of the RAM 7 and inputted to the D/A converter 3 to control the VCO 2.



LEGAL STATUS

[Date of request for examination] 16.04.1999

[Date of sending the examiner's decision of rejection] 12.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A phase comparator, a variable divider, and a storage means to memorize the data corresponding to each division ratio, In the PLL presetting approach of the presetting mold PLL circuit equipped with the voltage-controlled oscillator by which presetting is carried out with said data, and an unlocking detection means to output an unlock signal when a phase comparator is in an unlock condition. The input data to a voltage-controlled oscillator is changed supervising said unlock signal. The PLL presetting approach characterized by writing the data which detected the upper limit and minimum of a lock range, outputted the input data to the voltage-controlled oscillator corresponding to the upper limit and minimum of said lock range, amended said outputted data, and were obtained by it in the above-mentioned storage means.

[Claim 2] In the presetting mold PLL circuit equipped with the phase comparator, the variable divider, a storage means to memorize the data corresponding to each division ratio, and the voltage-controlled oscillator by which presetting is carried out with said data An unlock detection means to output an unlock signal when a phase comparator is in an unlock condition, [when again outputted with the event of the unlock signal of a data modification means to change the input data to a voltage-controlled oscillator, and said unlock detection means no longer being outputted] The presetting mold PLL circuit characterized by having a data output means to output the data given to the voltage-controlled oscillator, and the data correction means which writes the data which amended said data outputted from this data output means, and were obtained by it in the above-mentioned storage means.

[Claim 3] In the presetting mold PLL circuit equipped with the phase comparator, the variable divider, a storage means to memorize the data corresponding to each division ratio, and the voltage-controlled oscillator by which presetting is carried out with said data An unlock detection means to output an unlock signal when a phase comparator is in an unlock condition, In the event of the standup of the unlock signal of a data modification means to change the input data to a voltage-controlled oscillator, and said unlock detection means The presetting mold PLL circuit characterized by having a data output means to output the data given to the voltage-controlled oscillator, and the data correction means which writes the data which amended said data outputted from this data output means, and were obtained by it in the above-mentioned storage means.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the PLL presetting approach and a presetting mold PLL circuit especially about the PLL circuit used for a transmitter etc.

[0002]

[Description of the Prior Art] As shown in drawing 7, if a phase comparator 11 compares a phase with every [of a variable divider 18] division ratio (henceforth N data), after the control voltage according to phase contrast will come out of a phase comparator 11 and will carry out smoothness of it with a loop filter 14, a PLL circuit controls the voltage-controlled oscillator (it is called Following VCO.) 12 by the electrical potential difference, and a frequency locks it.

[0003] There were some which switch presetting data one after another for every preset frequency about actuation of controlling VCO12 by the presetting data from the random access memory (it being called Following RAM.) 17 as a storage means directly through a digital to analog converter (henceforth a D/A converter) 13 as the approach of a high-speed switch of the oscillation frequency of a PLL circuit from the former while a microprocessor (it is called Following CPU.) 15 controls a variable divider 18.

[0004] The PLL circuit of this method for example, the input-control electrical potential difference of VCO12 when a phase comparator locks at the time of manufacture shipment Analog-to-digital converter (it is called an A/D converter below). After reading by 10, changing to a digital signal, considering the error at the time of the oscillation of VCO12 under the effect of generation of heat of a device by CPU15 and amending to somewhat low **, it was what RAM17 is made to memorize, takes it out if needed, and is utilized as presetting data.

[0005] In addition, control by above CPU15 is performed by the control program of a read only memory (it is called Following ROM.) 16, and data.

[0006]

[Problem(s) to be Solved by the Invention] However, since wiring was taken about in order to carry out A/D conversion of the input-control electrical potential difference of VCO which has high impedance at the time of a lock by the above-mentioned conventional approach and to take out the data, the buffer amplifier which is easy to receive disturbance, turns [of the carrier/noise ratio as the whole PLL circuit (henceforth a C/N ratio)] degradation up on the contrary, and accompanies an A/D converter and it was also required, and the circuit was complicated.

[0007] Moreover, since it memorized and it was used after considering the error at the time of the oscillation of VCO under the effect of generation of heat of a device and amending the value of presetting data to somewhat low **, presetting data tended to become incorrectness.

[0008] This invention aims at obtaining more exact presetting data while it was proposed in view of the above-mentioned trouble and attains improvement of a C/N ratio, and simplification of a circuit.

[0009]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, it sets to the PLL presetting approach of this invention. A phase comparator, a variable divider, and a storage means to memorize the data corresponding to each division ratio, In the PLL presetting approach of the presetting mold PLL circuit equipped with the voltage-controlled oscillator by which presetting is carried out with said data, and an unlocking detection means to output an unlock signal when a phase comparator is in an unlock condition The input data to a voltage-controlled oscillator is changed supervising said unlock signal. The upper limit and minimum of a lock range were detected, the input data to the voltage-controlled oscillator corresponding to the upper limit and minimum of said lock range was outputted, said outputted data were amended, and the approach of writing the data obtained by it in the above-mentioned storage means was used.

[0010] Moreover, it sets in the presetting mold PLL circuit of this invention. In the presetting mold PLL circuit

equipped with the phase comparator, the variable divider, a storage means to memorize the data corresponding to each division ratio, and the voltage-controlled oscillator by which presetting is carried out with said data. An unlocking detection means to output an unlocking signal when a phase comparator is in an unlocking condition, [when again outputted with the event of the unlocking signal of a data modification means to change the input data to a voltage-controlled oscillator, and said unlock detection means no longer being outputted] It had a data output means to output the data given to the voltage-controlled oscillator, and the amendment means which writes the data which amended said both data outputted from this data output means, and were obtained by it in the above-mentioned storage means.

[0011] Furthermore, it sets in the presetting mold PLL circuit equipped with the phase comparator, the variable divider, a storage means to memorize the data corresponding to each division ratio, and the voltage-controlled oscillator by which presetting is carried out with said data. An unlock detection means to output an unlock signal when a phase comparator is in an unlock condition, In the event of the standup of the unlock signal of a data modification means to change the input data to a voltage-controlled oscillator, and said unlock detection means It had a data output means to output the data given to the voltage-controlled oscillator, and the data correction means which writes the data which amended said data outputted from this data output means, and were obtained by it in the above-mentioned storage means.

[0012]

[Function] in the PLL presetting approach of this invention, and a presetting mold PLL circuit, N data corresponding to a request frequency input into a variable divider first — having — VCO — the lowest oscillation frequency of the VCO — or the data corresponding to a high oscillation frequency are inputted. consequently, a frequency with lowest VCO — or it oscillates on a high frequency, and after dividing of the oscillation frequency is carried out by the variable divider, reference frequency and a phase are compared by the phase comparator.

[0013] In this condition, although the lock range which requires the lock of a phase comparator for dispersion in the component to constitute etc. is unknown, since the input data are separated from the lock range expected, it does not lock, but an unlock signal is outputted by the unlock detection means.

[0014] Next, if the input data to VCO is changed with the data modification means, it will go into the lock range of a phase comparator soon, and an unlock signal will no longer be outputted. The input data to VCO in this event is outputted by the data output means, and is stored temporarily for a storage means.

[0015] Then, if the input data from there to VCO is changed, it will separate from the lock range of a phase comparator, and an unlock signal will be outputted again. The input data to VCO in this event is outputted by the data output means, and is stored temporarily for a storage means. Next, ejection and a data correction means amend the data stored temporarily, new data are obtained, and the storage means is made to memorize it. It is used as presetting data from next time.

[0016] Moreover, supervising an unlock signal, if the input data to VCO is changed a lot with a data modification means, it will go into a lock range soon and the output of an unlock signal will be lost. From the event of the output of an unlock signal being lost, if the input data to VCO is made to change in the increment direction and the reduction direction with a data modification means, an unlock signal will appear in two places, the upper bed of a lock range, and a soffit. By the data output means, the input data of VCO at that time is outputted, respectively, and is stored temporarily for a storage means.

[0017] And ejection and a data correction means amend the data stored temporarily, and new data are obtained.

[0018]

[Example] The PLL presetting approach of this invention and a presetting mold PLL circuit are explained at a detail based on the equipment and the drawing which used the presetting mold PLL circuit below.

[0019] (Example 1) Flow chart drawing of the control program with which drawing 1 was built in the block diagram of the presetting mold PLL circuit of this example, and drawing 2 was built in ROM of drawing 1, and drawing 3 are the data and timing diagram drawings of the output of an unlock signal which are outputted to a D/A converter from CPU of drawing 1. Here, although the data of the data modification means and data output means which are controlled by CPU, and a data correction means are a digital signal, it is changed to an analog value and the data value of (B) of drawing 3 expresses it.

[0020] As for a sign 1, a phase comparator, the control program with which in VCO and 3 a loop filter and 5 include CPU and, as for 6, a D/A converter and 4 include [2] the program of a data modification means, a data output means, and a data correction means and ROM in which data were built, and 7 are unlock detection means by which RAM and 8 were built in the variable divider and 9 was built in the phase comparator 1, among drawing.

[0021] Centering on flow chart drawing of drawing 2, it explains with reference to drawing 1 and drawing 3. It

sets to step S1 and is preset frequency f1. In order to preset, reading appearance of the N data N1 corresponding to preset frequency f1 is carried out from ROM6, and it is inputted into a variable divider 8. In drawing 2 , N data corresponding to preset frequency f are used as Data N, and the data corresponding to the 1st preset frequency f1 are used as data N1 and Data D (N1) here by using the variable data for determining preset frequency f as Data D (N).

[0022] In addition, Data D (0) are presetting data initial value, and are a fixed numeric value.

[0023] Next, the presetting data initial value D corresponding to the oscillation lowest frequency of VCO2 proper (0) has Data D (N1) substituted for the timing T1 of drawing 3 [B] in step S2, then, the step S3 — Data D (N1) — default value d — a guide peg — it is inputted into D/A converter 3 by step S4 the back the bottom. Then, the output voltage according to it comes out from D/A converter 3, it is impressed by VCO2, and VCO2 is oscillated according to output voltage.

[0024] Here, if input voltage goes up, VCO2 is constituted so that an output frequency may also become high.

[0025] If the output frequency of VCO2 goes into a variable divider 8, dividing of it is carried out according to the N data N1, and it compares the phase of the frequency and reference frequency with a phase comparator 1. Since it is a value lower enough than the lock range of a frequency f1, at this event, the unlocking detection means 9 built in the phase comparator 1 detects an unlocking condition, and, as for Data D (N1), outputs an unlocking signal. This is the phase of step S5.

[0026] When an unlocking signal is outputted, as shown in step S3, a data modification means inputs Data D (N1) into D/A converter 3 again by step S4 by the command of CPU5 as data D (N1) with which only default value d updated raising and it. If the output voltage of D/A converter 3 goes up and it is impressed to VCO2, the oscillation frequency of VCO2 will go up. The oscillation frequency has a lock condition again checked with a phase comparator 1 in an above-mentioned path.

[0027] The above actuation is repeated until an unlocking signal is no longer outputted. The situation of addition of this data is expressed to [B] of drawing 3 .

[0028] If it goes into a lock range, the unlocking detection means 9 will detect that the phase comparator 1 changed into the lock condition. If it becomes so, at the event of the timing T2 of drawing 3 [B], a data output means will read and output the data D in CPU5 (N1'). This is stored temporarily as data L of the soffit frequency of a lock range (N1) at RAM7. This is step S6.

[0029] Even after memorizing the data L of the soffit frequency of a lock range (N1), it is increased from Data D (N1') default value every d, and data are inputted into D/A converter 3. This condition continues until an unlocking signal is detected next. This is steps S7 and S8 and S9. In the state of the lock, a phase comparator 1, VCO2, the loop filter 4, and the variable divider 8 are carrying out actuation which brings a frequency close to preset frequency.

[0030] If the unlocking signal U2 is outputted at the event of timing T3 after repeating the aforementioned actuation several times, a carrier beam data output means is step S10 about it, the data D in CPU5 in the event (N1'') are read, and this is stored temporarily as data H of the upper bed frequency of a lock range (N1) at RAM7.

[0031] Modification of data is stopped at the same time it acquires the value of the data H of the upper bed frequency of a lock range (N1) by timing T3. Next, the data H (N1) of the value which lengthened default value d from the data L of the soffit frequency of a lock range (N1), and an upper bed frequency are averaged, an average value M (N1) is taken out with step S11, and it writes in RAM7 at step S12 by making it into presetting data. Here, it sets to drawing 3 (B) and is RL. The above-mentioned average value M (N1) is almost without error with the central value of a lock range at a actual lock range.

[0032] The writing of the N data N1 corresponding to one preset frequency f1 and the presetting data M (N1) is completed above.

[0033] If the frequency which should be carried out presetting remains, in the phase of the first step S1 by step S13 furthermore, by return and timing T four Data N2 corresponding to the following preset frequency f2 Read and it inputs into a variable divider 8. The presetting data initial value D corresponding to the oscillation lowest frequency of VCO2 proper (0) is substituted for step S2 by D (N) almost simultaneous, default value d is added at step S3, and it is inputted into D/A converter 3. The above actuation is repeated.

[0034] Although it is needless to say, whenever a surrounding environment is the same, the presetting data initial value D (0) is fixed. Control by CPU5 of the above actuation is performed with the control program and data which were written to ROM6.

[0035] In addition, the presetting data initial value corresponding to the oscillation highest frequency of VCO2 proper may be put in instead of the presetting data initial value D corresponding to the oscillation lowest frequency of VCO2 proper (0) as data first inputted into D/A converter 3, and a data modification means makes data the thing which decreases instead of an increment in that case. Although upper bed data and soffit data

interchange, the other data output means and the data correction means are the same.

[0036] Moreover, although it is digital value in the case of an example and the presetting data for controlling VCO2 are changing it into the analog value with D/A converter 3, they may control direct VCO2 by it by making presetting data into an analog value.

(Example 2)

[0037] Moreover, an above-mentioned example 1 and an above-mentioned configuration are the same, and the PLL presetting approach that operations differ a little, and a presetting mold PLL circuit are explained to a detail based on drawing 4, drawing 5, and drawing 6. In addition, drawing 4 and drawing 5 are a series of flow charts of an example 2. About the step which carries out the same actuation as an example 1, it omitted a little.

[0038] In step S21, in order to preset preset frequency f11, reading appearance of the N data N11 corresponding to preset frequency f11 is carried out from ROM6, and it is inputted into a variable divider 8. Like the example 1, N data corresponding to preset frequency f are used as Data N, and the data corresponding to the 1st preset frequency f11 for the variable data for determining presetting data are used as data N11, Data S (N11), and Data D (N11) as data S (N) and data D (N) here. In addition, data S (0) is presetting data initial value, and is a fixed numeric value.

[0039] Next, default value h is added at step S23, and it is inputted into D/A converter 3 in step S24 to timing T11 at the same time presetting data initial value S (0) corresponding to the oscillation lowest frequency of VCO2 proper is substituted for Data S (N11) at step S22. Since the oscillation lowest frequency of VCO2 proper is separated from the lock range enough, it is step S25, and an unlocking detection means outputs an unlocking signal. In step S25, step S23, and step S24, while the unlocking signal is outputted, data are increased default value every h by the data modification means, and this actuation is repeated until a frequency is locked.

[0040] Here, default value h is the width of face RL of the lock range expected. It is set as the somewhat small value.

[0041] To timing T12, the data S (N11) locked first are used as Data D (N11) in step S26, the default value d smaller than the aforementioned default value h is added to it at step S27, and it inputs into D/A converter 3 at step S28. An unlocking signal is supervised at step S29, step S27, and step S28 after that, adding data at intervals of default value d. And when it is the timing T13 to which the unlocking signal was outputted, the data D (N11') which the data output means took out are made to store temporarily as upper bed frequency data H of a lock range (N11) at step S30 at RAM7.

[0042] Then, after subtracting default value d from the aforementioned data D (N11) by step S31 and inputting into D/A converter 3 by step S32 to timing T14, at step S32, step S33, and step S31, data are subtracted default value every d and the situation of the output of an unlocking signal is seen. When it is the timing T15 to which the unlocking signal was outputted, the data D (N11'') which the data output means took out are made to store temporarily as soffit frequency data L of a lock range (N11) at step S34 at RAM7.

[0043] Then, equalization of data is processed at step S35, and the writing of step S36 is processed. If there is another frequency which should be carried out presetting, by step S37, it will return to step S21 and above-mentioned actuation will be repeated.

[0044] In the presetting mold PLL circuit of this example, it is large in the variation of data in the beginning, and since it set up small after finding the lock range, a lock range can be found early, it understands to a numeric value with still more detailed upper bed frequency and soffit frequency, and presetting data become accuracy more.

[0045]

[Effect of the Invention] Since according to the PLL presetting approach of this invention, and the presetting mold PLL circuit wiring and mounting components decrease and it low-cost-izes upwards, since the circuit of the A/D converter for input voltage measurement of required VCO becomes unnecessary conventionally, and it is not necessary to pull out wiring from the input of VCO which is high impedance, the C/N ratio of the whole PLL circuit is improved.

[0046] Moreover, since in manufacturing a presetting mold PLL circuit the data which detected and obtained the ends of the lock range of a desired frequency to accuracy are averaged and it writes in RAM with N data as presetting data even if dispersion is in the configuration component of VCO or others, accuracy can be made to oscillate more the frequency which should be carried out presetting, and a lock uptime can manufacture a short presetting mold PLL circuit. Furthermore, also when it mass-produces, a defective can be suppressed to the minimum, and the engine performance also improves.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the presetting mold PLL circuit of an example 1 and an example 2.

[Drawing 2] It is flow chart drawing of the control program built in ROM of the presetting mold PLL circuit of an example 1.

[Drawing 3] They are the output data of CPU of the presetting mold PLL circuit of an example 1, and timing diagram drawing of an unlocking signal.

[Drawing 4] It is the flow chart of the control program built in ROM of the presetting mold PLL circuit of an example 2, and is drawing showing the first portion.

[Drawing 5] It is the flow chart of the control program built in ROM of the presetting mold PLL circuit of an example 2, and is drawing which expresses the section the second half in which it is connected with the first portion of drawing 4 .

[Drawing 6] They are the output data of CPU of the presetting mold PLL circuit of an example 2, and timing diagram drawing of an unlocking signal.

[Drawing 7] It is the block diagram of one example of the conventional presetting mold PLL circuit.

[Description of Notations]

1 Phase Comparator

2 Voltage-controlled Oscillator (VCO)

3 Digital-analog Converter (D/A Converter)

4 Loop Filter

5 Microprocessor (CPU)

6 Read-only Memory (ROM)

7 Random Access Memory (RAM) [Storage Means]

8 Variable Divider

9 Unlocking Detection Means

S3, S7, S23, S27, S31 Data modification means

S6, S10, S26, S30, S34 Data output means

S11, S35 Data correction means

[Translation done.]